

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-215241  
 (43) Date of publication of application : 11.08.1998

(51) Int. Cl. H04L 7/02  
 H03L 7/087  
 H04L 25/40

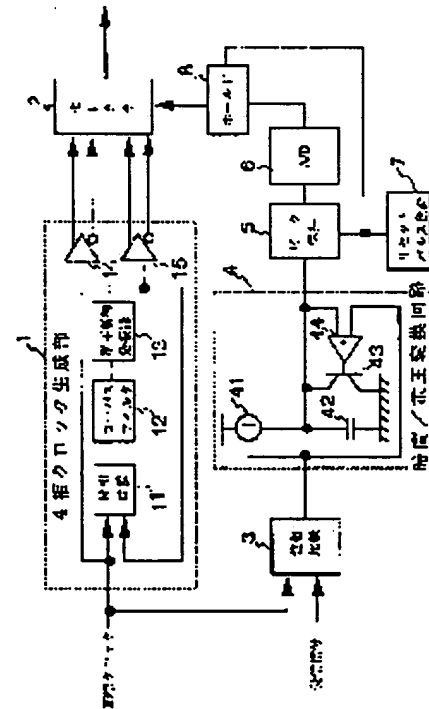
(21) Application number : 09-015198 (71) Applicant : HITACHI LTD  
 NIPPON TELEGR & TELEPH CORP  
 <NTT>  
 (22) Date of filing : 29.01.1997 (72) Inventor : KAZAWA TORU  
 TAKAHASHI YASUSHI  
 AKAZAWA YUKIO  
 ISHIHARA NOBORU  
 NAKAMURA MAKOTO

### (54) CLOCK EXTRACT CIRCUIT

#### (57) Abstract:

**PROBLEM TO BE SOLVED:** To realize a circuit that extracts a clock signal from a burst signal with a few components.

**SOLUTION:** This clock extract circuit is made up of a polyphase clock generating section 1, a selector 2, a phase comparator circuit 3, a time/voltage conversion circuit 4, a peak holding circuit 5, an A/D converter circuit 6, a reset pulse supply circuit 7, and a holding circuit 8, the clock generating circuit 1 uses an external clock for a reference clock to produce a plurality of clock signals whose frequencies are identical to each other but whose phases differ from each other, the time/voltage conversion circuit 4 converts a pulse signal (burst signal) with a pulse width equal to a phase difference being an output of the phase comparator 3 that receives the reference clock signal and a reception signal into a voltage, the peak holding circuit 5 holds a peak level of the voltage, the A/D converter 6 quantizes the peak level, the holding circuit 8 holds the quantized signal till the burst signal continues to control the selector 2, which selects a clock signal whose phase is closest to a phase of the burst signal and provides an output of the selected clock signal.



### LEGAL STATUS

[Date of request for examination] 10.04.2001

[Date of sending the examiner's decision  
of rejection] 25.02.2003

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-215241

(43) 公開日 平成10年(1998) 8月11日

(51) Int. Cl. <sup>4</sup>	識別記号	F I	
H 0 4 L	7/02	H 0 4 L	7/02 Z
H 0 8 L	7/087		25/40 C
H 0 4 L	25/40	H 0 3 L	7/08 P

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平9-15198

(22) 出願日 平成9年(1997) 1月29日

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000004226  
日本電信電話株式会社  
東京都新宿区西新宿三丁目19番2号

(72) 発明者 加沢 徹  
神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所情報通信事業部内

(72) 発明者 高橋 靖  
神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所情報通信事業部内

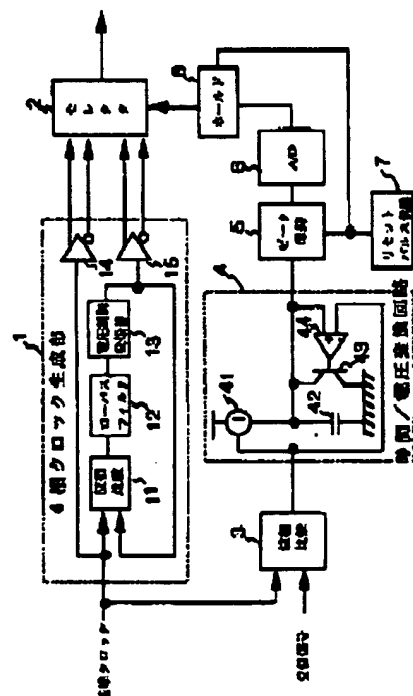
(74) 代理人 弁理士 沼形 義彰 (外1名)  
最終頁に続く

(54) 【発明の名称】 クロック抽出回路

(57) 【要約】

【課題】 パースト信号からクロックを抽出する回路を素子数の少ない回路で実現する。

【解決手段】 クロック抽出回路を、多相クロック生成部1と、セクタ2と、位相比較回路3と、時間/電圧変換回路4と、ピーク保持回路5と、A/D変換回路6と、リセットパルス供給回路7と、ホールド回路8とから構成し、クロック生成回路1は外部から供給されるクロックを基準クロックとして周波数が等しく位相が異なる複数のクロックを生成し、時間/電圧変換回路4が位相比較器3からのパースト信号の位相と基準クロックの位相差に等しいパルス幅のパルス信号を電圧に変換し、ピーク保持回路5で該電圧のピーク値を保持し、A/Dコンバータ6でピーク値を量子化し、ホールド回路8でパースト信号が続く間量子化された信号を保持してセクタ2を制御し、パースト信号の位相に最も近いクロックを選択出力する。



(2)

特開平10-215241

1

2

## 【特許請求の範囲】

【請求項1】 受信信号をリタイミングするためのタイミングクロックを抽出するクロック抽出回路において、上記受信信号の伝送周波数に等しく互いに位相が異なる複数のクロックを生成する手段と、

上記受信信号と上記複数のクロックの1つとの位相差を検出して上記位相差に比例した電圧を発生させる位相比較手段と、

上記位相比較手段の出力電圧に基づいて上記複数のクロックから1つを選択出力するセレクターを備えたことを特徴とするクロック抽出回路。

【請求項2】 受信信号をリタイミングするためのタイミングクロックを抽出する回路において、上記受信信号の伝送周波数に等しく互いに位相が異なる複数のクロックを生成する手段と、

上記受信信号と上記複数のクロックの1つとの位相差を検出して上記位相差に比例した電圧を発生させる位相比較手段と、

上記位相比較手段の出力電圧のピーク値を保持するピーク検出手段と、

上記ピーク検出手段の出力電圧を量子化するアナログデジタルコンバーターと、

上記アナログデジタルコンバーターの出力によって上記複数のクロックから1つを選択出力するセレクターを備えたことを特徴とするクロック抽出回路。

【請求項3】 上記受信信号の立ち上がりと上記複数のクロックの1つの立ち上がりとの位相差を検出して上記位相差に比例した電圧を発生させる第1の位相比較手段と、上記受信信号の立ち下がりと上記複数のクロックの1つの立ち上がりとの位相差を検出して上記位相差に比例した電圧を発生させる第2の位相比較手段と、上記第1の位相比較手段の出力電圧のピーク値を保持する第1のピーク検出手段と、上記第2の位相比較手段の出力電圧のピーク値を保持する第2のピーク検出手段と、上記第1および第2のピーク検出手段の出力電圧の差をとる手段と、上記差をとる手段の出力を量子化するアナログデジタルコンバーターと、該アナログデジタルコンバーターの出力によって上記複数のクロックから1つを選択出力するセレクターを備えたことを特徴とする請求項2記載のクロック抽出回路。

【請求項4】 上記位相比較手段は、上記受信信号と上記複数のクロックの1つとの位相差を検出して上記位相差に比例した時間幅のパルス信号を発生させる位相比較回路と、上記位相比較回路の出力パルス幅に比例した電圧を発生させる時間/電圧変換回路を備えたことを特徴とする請求項3記載のクロック抽出回路。

【請求項5】 上記セレクターは、上記受信信号中の特定のビット列が入力された区間内でのみ上記選択出力動作を行うことを特徴とする請求項3記載のクロック抽出回路。

【請求項6】 上記受信信号中の特定のビット列の直前に上記ピーク検出手段をリセットする手段を備えたことを特徴とする請求項3記載のクロック抽出回路。

【請求項7】 受信信号をリタイミングするためのタイミングクロックを抽出するクロック抽出回路において、上記受信信号の立ち上がりと上記受信信号の伝送周波数に等しい周波数のクロックとの位相差を検出してこの位相差に比例した電圧を発生させる第1の位相比較手段と、

上記受信信号の立ち下がりと上記受信信号の伝送周波数に等しい周波数のクロックとの位相差を検出してこの位相差に比例した電圧を発生させる第2の位相比較手段と、

上記第1の位相比較手段の出力電圧のピーク値を保持する第1のピーク検出手段と、

上記第2の位相比較手段の出力電圧のピーク値を保持する第2のピーク検出手段と、

上記第1のピーク検出手段および第2のピーク検出手段の出力電圧の差をとる手段と、

上記複数のクロックの1つを入力とし上記差をとる手段の出力を制御入力とする電圧制御可変遅延回路を備えたことを特徴とするクロック抽出回路。

【請求項8】 受信信号をリタイミングするためのタイミングクロックを抽出するクロック抽出回路において、上記受信信号の伝送周波数に等しい周波数のクロックを入力とする電圧制御可変遅延回路と、

上記受信信号を第1の入力とし、電圧制御可変遅延回路の出力を第2の入力とし両入力の位相差に比例した電圧を出力する位相比較手段と、

該位相比較手段の出力電圧を平滑して上記電圧制御可変遅延回路の遅延量を制御するローパスフィルタとを備え、

該ローパスフィルタの出力を前記電圧制御可変遅延回路の制御電圧とすることを特徴とするクロック抽出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、バースト信号の位相に同期させて信号の再生を行うバースト伝送に対応したクロック抽出回路にかかわり、特に、ポイント対マルチポイント方式の光伝送方式において、ポイント側でマルチポイント側からのバースト信号を受信する場合に適用して好適なクロック抽出回路に関する。

【0002】

【従来の技術】 バースト伝送に対応したクロック抽出回路の従来技術として、例えば、「高速PDSシステムにおけるバースト伝送対応ビット同期」(岩村篤、戸澤浩幸：電子情報通信学会技術報告、SSE95-83、IN95-54、CS95-103、79~84頁；電子情報通信学会)に示される回路が知られている。

【0003】 上記したビット同期回路について図5を用いて説明する。このビット同期回路は、多相クロック発

3

生部51と、選択出力部52と、多相サンプル部53と、変化点検出部54と、同期用クロック決定部55とから構成される。この回路は、多相クロックを用いて入力データの変化点を検出し、変化点に最も近いクロックから固定位相ずれた位相のクロックで、データをリタイミングする方法である。受信データは多相サンプル部53で多相化され、変化点検出部54で受信信号の変化点を検出する。同期信号用クロック決定部55では、受信信号の変化点からリタイミングに必要な位相位置を算出し、その結果に基づいて、選択出力部52で、多相サンプル部53で多相化された信号の中から受信信号に同期した信号を選択する。

【0004】この回路は、周波数が等しく位相が異なる $n$ 個のクロックから、受信信号の識別点に最も近いクロックを選択するものである。この回路を大きく分けると、周波数が等しく位相が異なる $n$ 個のクロックを生成する回路と、受信バースト信号の位相を検出して識別点に最も近い位相のクロックを選択する回路の2つから構成される。

【0005】 $n$ 個のクロックの生成の手段として、外部より供給される伝送クロックからPLL回路を用いて $n/2$ 倍の周波数のクロックを生成し、この $n/2$ 倍の周波数のクロックを分周して周波数が等しく位相が異なる $n/2$ 個のクロックを生成し、さらにそれぞれのクロックを反転することで総数 $n$ 個のクロックを生成する回路が用いられる。また、受信バースト信号の位相を検出して最も近い位相のクロックを選択する手段として、上記の $n$ 個のクロックで受信信号をそれぞれサンプリングし、 $n$ 個のサンプリング信号から受信信号の立ち上がりおよび立ち下がり変化点を検出し、立ち上がりおよび立ち下がり変化点の midpoint に最も近い位相のクロックを $n$ 個のクロックから選択する回路が用いられる。上記回路のPLL回路を除く部分は、伝送フレームを処理するゲートアレー内に実現され、クロック抽出機能を持たない光モジュールの出力信号を、ゲートアレー内で処理してクロックが抽出される。

【0006】

【発明が解決しようとする課題】上記、従来の技術においては、クロック抽出回路は光モジュールの外で実現されている。しかし、連続信号伝送用の光モジュールにおいては、モジュール内にクロック抽出回路を内蔵し、受信信号を抽出したクロックでサンプリングした後、サンプリング信号および抽出クロックを出力する構成が多い。光モジュール内で受信信号をサンプリングすることにより、光モジュールの出力信号はパルス幅デューティの歪みなしで出力される。したがって、光モジュールと伝送フレーム処理用のゲートアレーが基板上で隣り合わせに配置された時に発生する基板上でのパルス幅デューティの劣化に対して、大きなマージンを確保することができる。

(3)

特開平10-215241

4

【0007】しかし、上記従来の技術による回路を光モジュール内に備える場合、 $n$ 個のサンプリング回路とその後に接続される論理判定回路、 $n$ 分周回路等で数100から数1000のトランジスタ数の回路を光モジュール内に備える必要がある。この回路規模はIC1個分に相当し、この回路を光モジュール内に備えることは光モジュールの大型化や消費電力の増大を招く。

【0008】本発明の課題は、素子数の少ない回路でバースト信号からのクロック抽出を行うクロック抽出回路を提供することである。

【0009】

【課題を解決するための手段】上記課題を解決する手段として、従来技術では $n$ 個備えられているサンプリング回路を1個に減らすことが有効である。そのために、外部から与えられる伝送クロックを基準クロックとし、この基準クロックと受信バースト信号の位相差を位相比較器を用いてアナログ量として検出する。検出した位相差を電圧に変換し、この電圧を $n-1$ 個のしきい値を持つアナログデジタルコンバーターで $n$ 個の信号に量子化する。この $n$ 個の信号と $n$ 個のクロックには1対1の対応関係を持たせておき、 $n$ 個のクロックから1つを選択するセレクタの制御をアナログデジタルコンバーターの出力信号で行う。基準クロックと受信バースト信号の位相差を検出する回路は、例えばフリップフロップを用いた位相比較器が適用できる。また、位相差を電圧に変換する回路は、例えば、容量を定電流で充電する回路を位相比較器の出力信号で駆動することで実現できる。

【0010】また、 $n$ 個のクロックを生成して、選択する回路の代わりに、上記の基準クロックを遅延させて抽出クロックを生成する方法により、さらに回路規模を縮小できる。電圧制御遅延回路の実現手段としては、例えば“電子情報通信学会技術報告ICD94-68”に示されている電圧制御遅延回路の帰還ループを切断することで電圧制御遅延回路として動作する。電圧制御遅延回路の制御電圧には、先に記した基準クロックと受信バースト信号の位相差を電圧に変換した信号を用いる。

【0011】上記課題を解決するために、本発明は、受信信号をリタイミングするためのタイミングクロックを抽出するクロック抽出回路において、上記受信信号の伝送周波数に等しく互いに位相が異なる複数のクロックを生成する手段と、上記受信信号と上記複数のクロックの1つとの位相差を検出して上記位相差に比例した電圧を発生させる位相比較手段と、上記位相比較手段の出力電圧に基づいて上記複数のクロックから1つを選択出力するセレクターと備えた。

【0012】さらに、本発明は、受信信号をリタイミングするためのタイミングクロックを抽出する回路において、上記受信信号の伝送周波数に等しく互いに位相が異なる複数のクロックを生成する手段と、上記受信信号と上記複数のクロックの1つとの位相差を検出して上記位

(4)

特開平10-215241

5

相差に比例した電圧を発生させる位相比較手段と、上記位相比較手段の出力電圧のピーク値を保持するピーク検出手段と、上記ピーク検出手段の出力電圧を量子化するアナログデジタルコンバーターと、上記アナログデジタルコンバーターの出力によって上記複数のクロックから1つを選択出力するセレクターとを備えた。

【0013】また、本発明は、クロック抽出回路において、上記上記受信信号の立ち上がりと上記複数のクロックの1つの立ち上がりとの位相差を検出して上記位相差に比例した電圧を発生させる第1の位相比較手段と、上記受信信号の立ち下がりと上記複数のクロックの1つの立ち上がりとの位相差を検出して上記位相差に比例した電圧を発生させる第2の位相比較手段と、上記第1の位相比較手段の出力電圧のピーク値を保持する第1のピーク検出手段と、上記第2の位相比較手段の出力電圧のピーク値を保持する第2のピーク検出手段と、上記第1および第2のピーク検出手段の出力電圧の差をとる手段と、上記差をとる手段の出力を量子化するアナログデジタルコンバーターと、該アナログデジタルコンバーターの出力によって上記複数のクロックから1つを選択出力するセレクターを備えた。

【0014】そして、本発明は、上記クロック抽出回路において、上記位相比較手段を、上記受信信号と上記複数のクロックの1つとの位相差を検出して上記位相差に比例した時間幅のパルス信号を発生させる位相比較回路と、上記位相比較回路の出力パルス幅に比例した電圧を発生させる時間/電圧変換回路から構成した。さらに、本発明は、上記クロック抽出回路において、上記セレクターを、上記受信信号中の特定のビット列が入力された区間内でのみ上記選択出力動作を行うようにした。加えて、本発明は、上記クロック抽出回路において、上記受信信号中の特定のビット列の直前に上記ピーク検出手段をリセットする手段を備えた。

【0015】本発明は、受信信号をリタイミングするためのタイミングクロックを抽出するクロック抽出回路において、上記受信信号の立ち上がりと上記受信信号の伝送周波数に等しい周波数のクロックとの位相差を検出してこの位相差に比例した電圧を発生させる第1の位相比較手段と、上記受信信号の立ち下がりと上記受信信号の伝送周波数に等しい周波数のクロックとの位相差を検出してこの位相差に比例した電圧を発生させる第2の位相比較手段と、上記第1の位相比較手段の出力電圧のピーク値を保持する第1のピーク検出手段と、上記第2の位相比較手段の出力電圧のピーク値を保持する第2のピーク検出手段と、上記第1のピーク検出手段および第2のピーク検出手段の出力電圧の差をとる手段と、上記複数のクロックの1つを入力とし上記差をとる手段の出力を制御入力とする電圧制御可変遅延回路を備えた。

【0016】さらに、本発明は、受信信号をリタイミングするためのタイミングクロックを抽出するクロック抽

6

出回路において、上記受信信号の伝送周波数に等しい周波数のクロックを入力とする電圧制御可変遅延回路と、上記受信信号を第1の入力とし、電圧制御可変遅延回路の出力を第2の入力とし両入力の位相差に比例した電圧を出力する位相比較手段と、該位相比較手段の出力電圧を平滑して上記電圧制御可変遅延回路の遅延量を制御するローパスフィルタとを備え、該ローパスフィルタの出力を前記電圧制御可変遅延回路の制御電圧とした。

【0017】

10 【発明の実施の形態】図1を用いて、本発明にかかるクロック抽出回路の第1の実施例の構成を説明する。この実施例は、受信パースト信号の立ち上がり位相に基づいて最速クロックを選択するようにしたクロック抽出回路の例である。本実施例のクロック抽出回路は、4相クロック生成部1と、セレクタ2と、位相比較器3と、時間/電圧変換回路4と、ピーク保持回路5と、アナログ/デジタル(A/D)コンバータ6と、リセットパルス供給回路7と、ホールド回路8とから構成される。

20 【0018】4相クロック生成部1は、位相比較器11と、ローパスフィルタ12と、電圧制御発振回路(電圧制御発振器)13と、差動出力アンプ14および差動出力アンプ15とを有し図示のように構成される。時間/電圧変換回路4は、電圧制御定電流源41と、容量42と、差動アンプ44と、トランジスタ43とを有し図示のように構成される。

30 【0019】4相クロック生成部1は、外部から供給されるクロックを基準クロックとして、位相が0度、90度、180度、270度ずれたクロックを生成する。位相比較器11と、ローパスフィルタ12と、電圧制御発振回路13とが、PLL回路を形成しており、位相比較器11をアナログ乗算回路で実現すると、2つの入力クロックの位相差が90度の位相差でPLL回路が安定する。したがって、このPLL回路では、基準クロックから90度位相がずれたクロックが生成される。4相クロック生成回路1に入力された基準クロックは、差動出力アンプ14に入力され、位相が0度および180度のクロックが出力される。また、基準クロックから90度位相がずれたPLL回路の出力クロックは、差動出力アンプ15に入力され、位相が90度および270度のクロックが出力される。このようにして、4相クロック生成回路1において、基準クロックの周波数に等しく位相がそれぞれ90度ずつずれた4相のクロックが生成される。

40 【0020】一方、位相比較器3は、基準クロックと受信信号の立ち上りを比較して、その位相差に比例したパルス幅のパルスを出力する。

50 【0021】時間/電圧変換回路4は、位相比較器3の出力パルス幅に比例した電圧を出力する回路である。電圧制御定電流源41は、制御電圧によって出力電流が制御される。位相比較器3の出力が高レベルである時は、電圧制御定電流源41が容量42を充電し、パルス幅に

7

比例した電圧が充電される。位相比較器3の出力が低レベルになると、電圧制御定電流源41の電流は0になる。同時に差動アンプ44の負入力端子が低レベルになり、トランジスタ43がオンになり、容量14の電荷の放電を始める。そして差動アンプ44の正入力端子と負入力端子が同じ電圧になったところでトランジスタ43がオフになり放電が停止する。したがって、時間/電圧変換回路4の出力から、振幅が位相差に比例した電圧ののこぎり波が得られる。

【0022】ピーク保持回路5は、前記時間/電圧変換回路4の出力信号(アナログ)のピーク値を保持する。このピーク保持回路5は、ピーク検出手段として働く。

【0023】アナログデジタルコンバータ6は、ピーク保持回路5の出力電圧としきい値を比較して、ピーク保持回路5のアナログ出力電圧を4値に量子化したデジタル信号として出力する。

【0024】ホールド回路8は、バースト信号が続く間アナログデジタルコンバータ6の4値に量子化された信号を保持し、セクタ2に出力する。

【0025】セクタ2は、ホールド回路8の4値に量子化された出力信号に対応する位相のクロックを選択して出力する。さらに、セクタ2は、受信信号中の特定のビット列が入力されたく間でのみ選択動作を行う。

【0026】リセットパルス供給回路7は、次のバースト信号の入力前にピーク保持回路5およびホールド回路8をリセットする。すなわち、リセットパルス供給回路7は、受信信号中の特定のビット列の直前にピーク保持回路(ピーク検出手段)5をリセットする。

【0027】ここで、位相比較回路3と、時間/電圧変換回路4とで、受信信号と基準クロックとの位相差を検出して、位相差に比例した電圧を発生させる位相比較手段を構成する。

【0028】このようにして、バースト信号毎に、最適値に最も近い位相のクロックが選択される。本実施例では、伝送クロックで同期するPLL回路を用いて90度位相がずれたクロックを生成し、多相クロックを得ているが、従来から知られているように伝送クロックの2倍の周波数で同期するPLL回路の正相出力と逆相出力をそれぞれ2分周して多相クロックを作る方法も適用できる。また、90度移相回路を用いて多相クロックを得る方法も適用可能である。さらに、本実施例では、受信信号と基準クロックとの位相差を得ているが、基準クロックに代えて多相クロック生成回路の複数のクロックの1つを位相差を検出用の基準となるクロックとして用いてもよい。

【0029】次に、図2を用いて本発明にかかるクロック抽出回路の第2の実施例を説明する。本実施例は、受信バースト信号の立ち上がり立ち下りの位相から最適クロックを選択する回路の構成例である。本実施例のクロック抽出回路は、基準信号と受信バースト信号の立

(5)

特開平10-215241

8

ち上がりとの位相差を検出する第1の系と基準信号と受信バースト信号の立ち下りとの位相差を検出する第2の系とを有する点に特徴を有する。本実施例のクロック抽出回路は、4相クロック生成部1と、セクタ2と、位相比較器3-1、3-2と、時間/電圧変換回路4-1、4-2と、ピーク保持回路5-1、5-3と、差動アンプ9と、アナログデジタル(A/D)コンバータ6と、リセットパルス供給回路7と、ホールド回路8とから構成される。

【0030】4相クロック生成部1は、第1の実施例で説明した回路と同じである。位相比較器3-1は、基準クロックと受信信号の立ち上り位相を比較して、その位相差に比例したパルス幅のパルスを出力する。また、位相比較器3-2は、基準クロックの立ち上がり位相と受信信号の立ち下り位相を比較して、その位相差に比例したパルス幅のパルスを出力する。時間/電圧変換回路4は、第1の実施例で説明した回路と同じである。時間/電圧変換回路4-1は、振幅が位相比較器3-1から出力される位相差に比例した電圧ののこぎり波を出力する。ピーク保持回路5-1は、時間/電圧変換回路4-1から出力されるのこぎり波のピーク値を保持する。時間/電圧変換回路4-2は、振幅が位相比較器3-2から出力される位相差に比例した電圧ののこぎり波を出力する。ピーク保持回路5-2は、時間/電圧変換回路4-2から出力されるのこぎり波のピーク値を保持する。

【0031】差動アンプ9は、ピーク保持回路5-1、5-2の出力の差を出力する。すなわち、受信信号の立ち上がり位相と立ち下り位相の中間を最適識別点として検出し、基準クロックとの差を出力する回路として動作する。アナログデジタルコンバータ6、リセットパルス供給回路7、ホールド回路8、セクタ2の動作は、第1の実施例と同じである。

【0032】バースト伝送では、受信回路でのしきい値を正確に設定することができず、最適識別点を中心に対称なパルス幅歪みが発生することがあるが、本実施例では、受信信号の立ち上がり位相と立ち下り位相の中間を最適識別点として認識するので、パルス幅歪みの大きさにかわらず最適識別点に最も近いクロックを選択できる。

【0033】次に、図3を用いて本発明にかかるクロック抽出回路の第3の実施例を説明する。本実施例は、受信バースト信号の立ち上がり立ち下りの位相の中間に、基準クロックの位相をずらして一致させるクロック抽出回路の構成例である。本実施例は、位相比較器3-1、3-2と、時間/電圧変換回路4-1、4-2と、ピーク保持回路5-1、5-2と、差動アンプ9と、ホールド回路8と、電圧制御可変遅延回路21とから構成される。

【0034】電圧制御可変遅延回路21として、例えば「電子情報通信学会技術報告ICD94-68」に示さ

50



(6)

特開平10-215241

9

10

れている電圧制御発振回路の帰還ループを切断することで、電圧制御遅延回路として動作する。

【0035】位相比較器3-1、3-1、時間/電圧変換回路4-1、4-2、ピーク保持回路5-1、5-2、差動アンプ9により受信信号の立ち上がり位相と立ち下がり位相の midpoint と、基準クロックとの差に比例する電圧が出力される動作は第2の実施例と同じである。本実施例は、差動アンプ9の出力をホールド回路81においてアナログ値で保持し、この電圧で電圧制御可変遅延回路26の遅延量を制御し、受信信号の立ち上がり位相と立ち下がり位相の midpoint と、基準クロックを一致させる。

【0036】この実施例においては、外部クロックからn個のクロックを生成する回路(多相クロック生成回路4)が不要となるので、回路規模を縮小させることができると共に、クロック位相を連続的に変えることができるので、n個のクロックを選択する場合には避けられない(360/n)度のクロックを選択することによる誤差をなくすることができる。

【0037】次に、図4を用いて本発明にかかるクロック抽出回路の第4の実施例を説明する。本実施例は、帰還制御を用いて、受信バースト信号と遅延した基準クロックの位相を一致させるクロック抽出回路の構成例である。本実施例のクロック抽出回路は、位相比較器3と、時間/電圧変換回路4と、ローパスフィルタ120と、電圧制御可変遅延回路21とから構成される。

【0038】電圧制御可変遅延回路21は、第3の実施例で説明した回路と同じである。位相比較器3は、受信信号と、電圧制御可変遅延回路21から出力される遅延した基準クロックの位相差を出力する。時間/電圧変換回路4の動作は第1の実施例と同じであり、位相比較器3の位相出力に比例した電圧を出力する。ローパスフィルタ120は、時間/電圧変換回路4の出力電圧を平滑する。すなわち、ローパスフィルタ120の出力信号は、時間/電圧変換回路4の出力である位相差に比例した電圧であり、電圧制御可変遅延回路21の遅延量を制御する。本実施例は、個々の回路ブロックの誤差を帰還制御することによって抑圧できる利点がある。

【0039】

【発明の効果】本発明により、素子数の少ない回路でバースト信号から最適なクロックを抽出できるので、受信

信号増幅用のICにクロック抽出機能を内蔵させ、小型、低消費電力のクロック抽出機能付きバースト受信光モジュールを提供することができる。

【図面の簡単な説明】

【図1】本発明にかかるクロック抽出回路の第1の実施例を示すブロック図。

【図2】本発明にかかるクロック抽出回路の第2の実施例を示すブロック図。

【図3】本発明にかかるクロック抽出回路の第3の実施例を示すブロック図。

【図4】本発明にかかるクロック抽出回路の第4の実施例を示すブロック図。

【図5】従来のクロック抽出回路の例を示すブロック図。

【符号の説明】

- 1 4相クロック生成部(多相クロック生成部)
- 2 セレクタ
- 3 位相比較器
- 4 時間/電圧変換回路
- 5 ピーク保持回路
- 6 アナログデジタルコンバータ
- 7 リセットパルス供給回路
- 8 ホールド回路
- 9 差動アンプ
- 21 電圧制御可変遅延回路
- 11 位相比較器
- 12 ローパスフィルタ
- 13 電圧制御発振回路
- 14, 15 差動出力アンプ
- 41 電圧制御定電流源
- 42 容量
- 44 差動アンプ
- 43 トランジスタ
- 51 多相クロック発生部
- 52 選択出力部
- 53 多相サンプル部
- 54 変化点検出部
- 55 同期用クロック決定部
- 81 ホールド回路(アナログ)
- 120 ローパスフィルタ

10

20

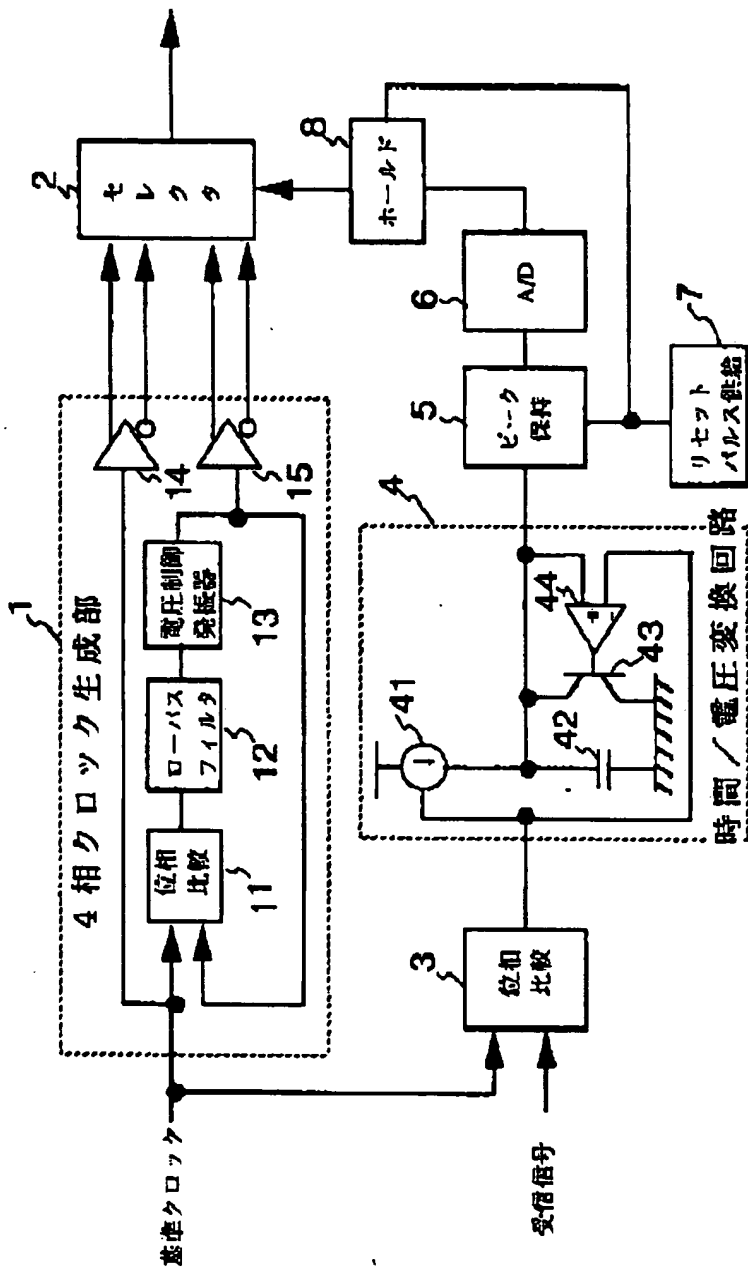
30

40

(7)

特開平10-215241

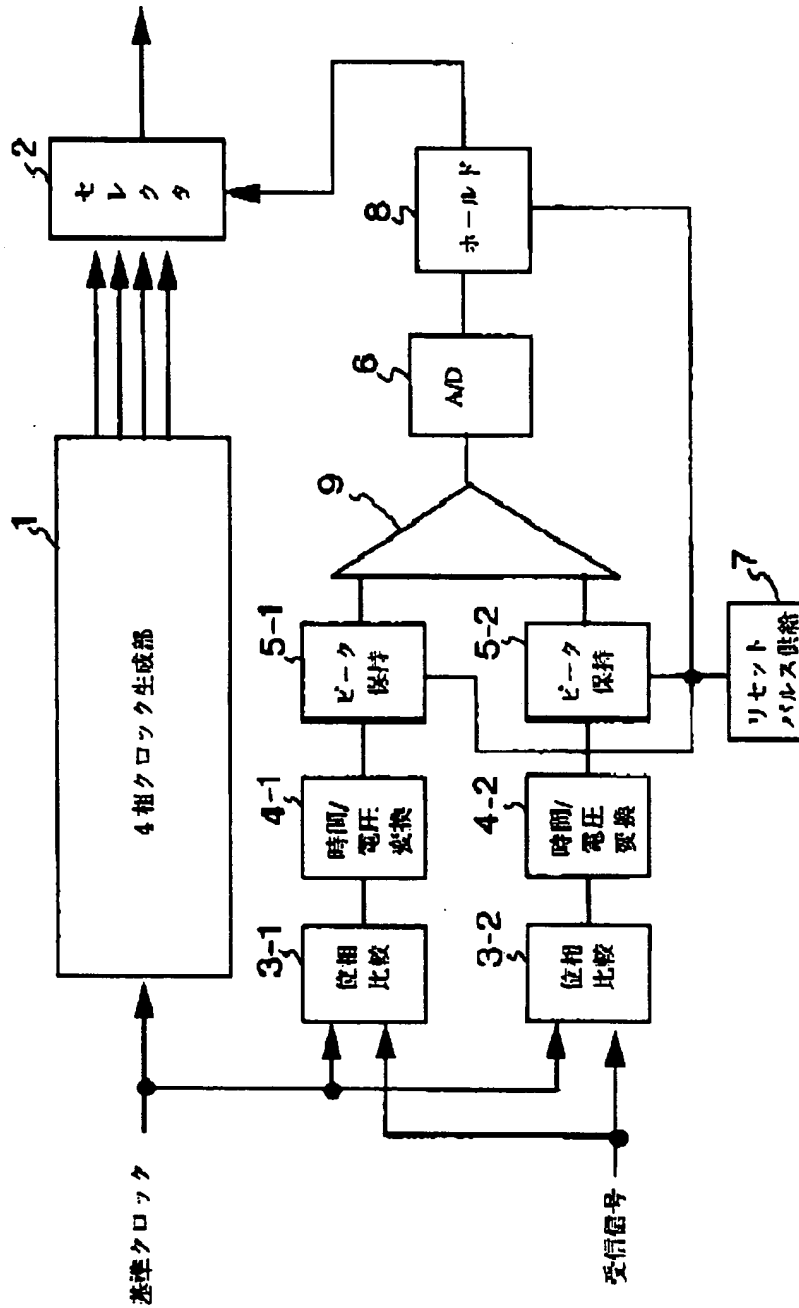
【図1】



(8)

特開平10-215241

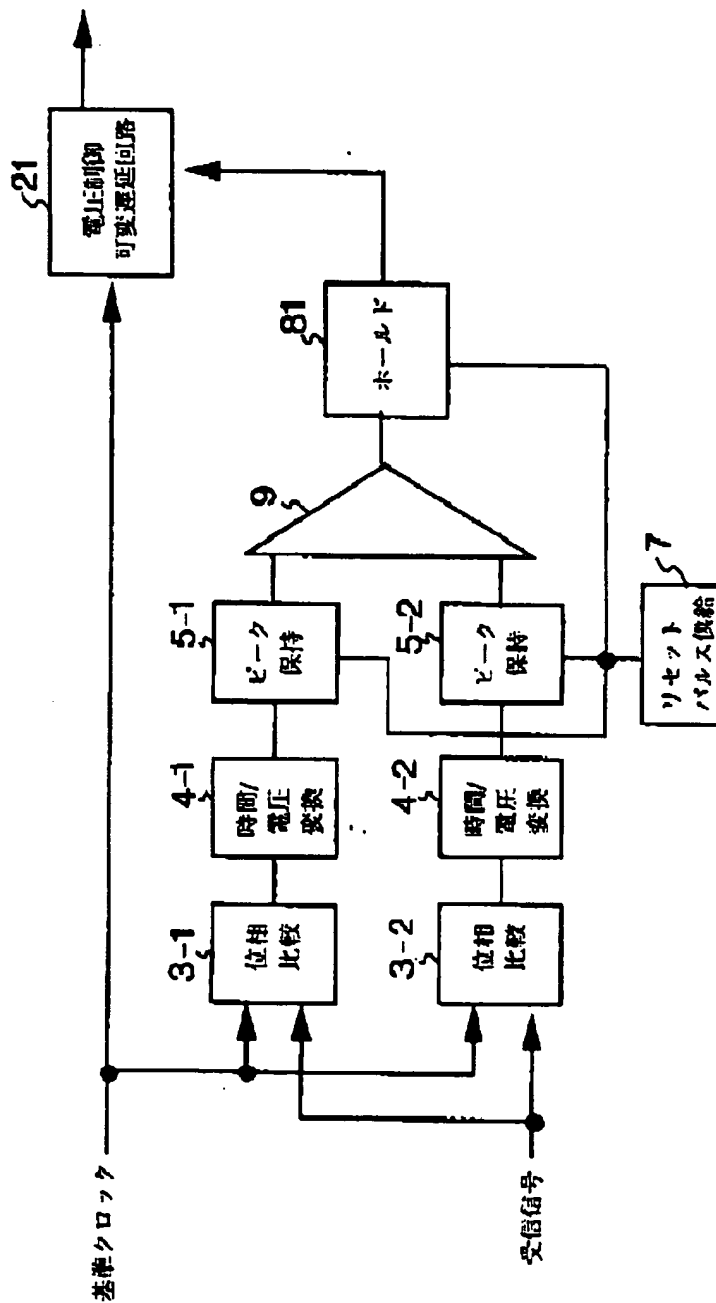
【図2】



(9)

特開平10-215241

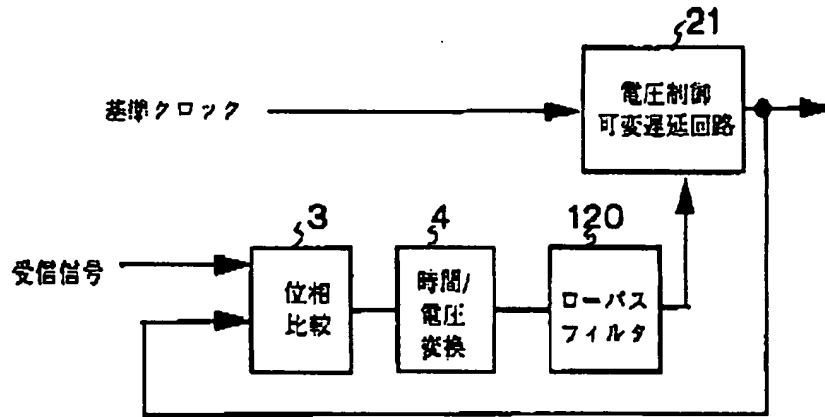
【図3】



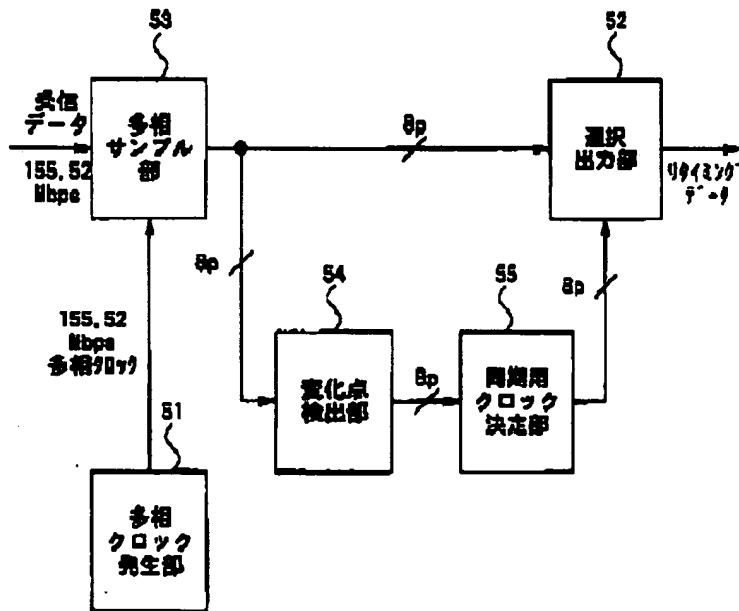
(10)

特開平10-215241

【図4】



【図5】



フロントページの続き

(72) 発明者 赤沢 幸雄  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 石原 昇  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 中村 誠  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内